

VLSI 2026 Review

고려대학교 전기전자공학과 박사과정 이윤호

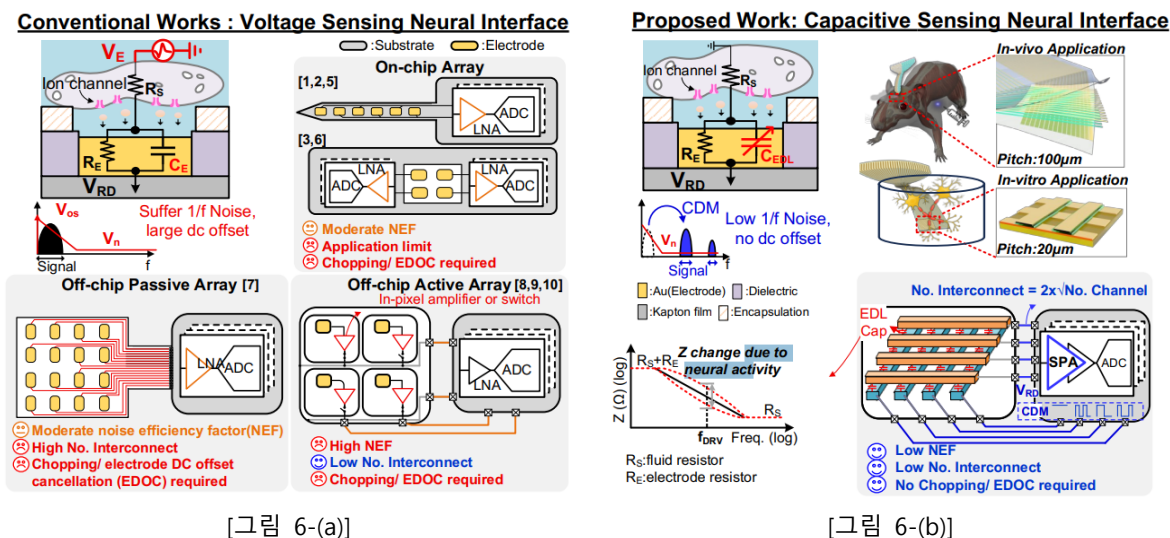
Session 24 Circuits for Bio-Signal Acquisition and Neural Interfaces

이번 VLSI 2026 Session 24에서는 wearable 및 implantable biomedical system에서 생체 신호를 정밀하게 측정하고 신경을 효과적으로 자극하기 위한 저전력 neural interface 기술을 다룬 총 5편의 논문이 발표되었다. 본 리뷰에서는 이 가운데 capacitive sensing과 code-domain multiplexing(CDM)을 이용하여 32개의 interconnect만으로 256-channel neural signal을 측정하는 neural interface (24-2)와, 전극에 필요한 자극전압에 따라 high-voltage supply를 동적으로 조절하고 정확한 charge balancing을 제공하는 temporal interference stimulation(TIS) ASIC (24-5)을 중심으로 살펴보고자 한다.

#24-2 본 논문은 flexible microelectrode array(MEA)의 전극 수가 증가할 때 발생하는 배선 및 전력 문제를 해결하기 위해, 32개의 interconnect만으로 256개의 전극을 동시에 측정하는 capacitive neural interface를 제안하였다. 뇌의 신경활동을 높은 해상도로 관찰하려면 좁은 영역에 많은 전극을 배치해야 하지만, 전극마다 별도의 신호선을 연결하면 시스템의 크기와 복잡도가 크게 증가한다. 아래 그림 6-(a)의 우 상단 그림과 같이 전극과 readout circuit을 하나의 CMOS chip에 집적하면 배선을 줄일 수 있지만, 단단한 silicon substrate로 인해 뇌 표면에 밀착시키기 어렵다. 반면 유연한 외부 전극을 사용하면 생체 표면에 쉽게 부착할 수 있으나, passive MEA(좌 하단)는 많은 배선을 필요로 하고 active MEA(우 하단)는 좁은 전극 면적에 amplifier와 switch를 구현해야 하므로 noise와 전력소모가 증가한다. 또한 기존 voltage-sensing 방식은 작은 neural signal과 함께 큰 electrode offset 및 $1/f$ noise도 증폭되기 때문에 이를 제거하기 위한 별도의 보정 회로가 필요하다는 한계가 있다.

본 논문은 이러한 한계를 개선하기 위해 그림 6-(b)와 같이 neural voltage 대신 EDL(Electrical Double-Layer) capacitance의 변화를 측정한다. EDL capacitance는 전극과 체액의 경계면에 형성되는 capacitor 성분으로, 신경세포가 활성화되어 주변의 이온 농도가 변하면 그 값도 함께 변한다. 제안한 16×16 MEA에서는 16개의 column에 서로 다른 Walsh code를 인가하고, 각 row에서 16개 전극의 신호를 하나로 합쳐 읽는다. 이때 Walsh code가 각 column을 구분하는 표식 역할을 하므로, 하나로 합쳐진 신호도 ADC 변환 후 digital demodulation을 통해 다시 16개의 개별 신호로 분리할 수 있다. 따라서

16개의 column drive line과 16개의 row readout line만으로 총 256개의 전극을 측정할 수 있다. 또한 neural signal이 Walsh code에 의해 높은 주파수 영역으로 이동하므로, 저주파 영역에 집중된 electrode offset과 1/f noise의 영향도 함께 줄일 수 있어 기존의 문제를 개선할 수 있다.

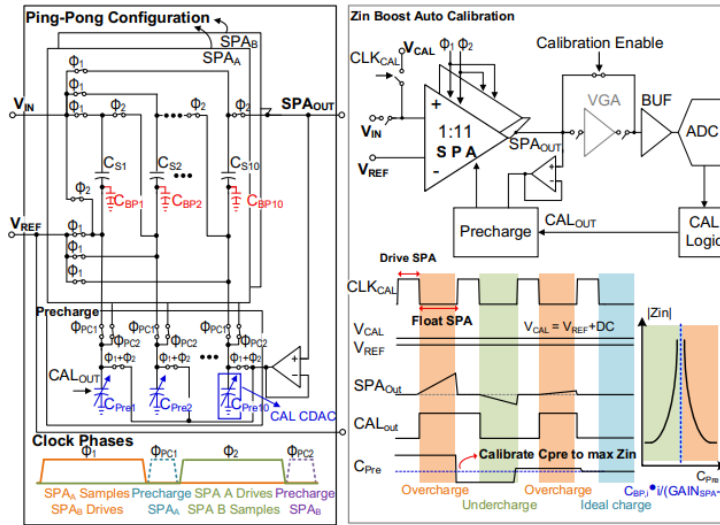


[그림 6-(a)]

[그림 6-(b)]

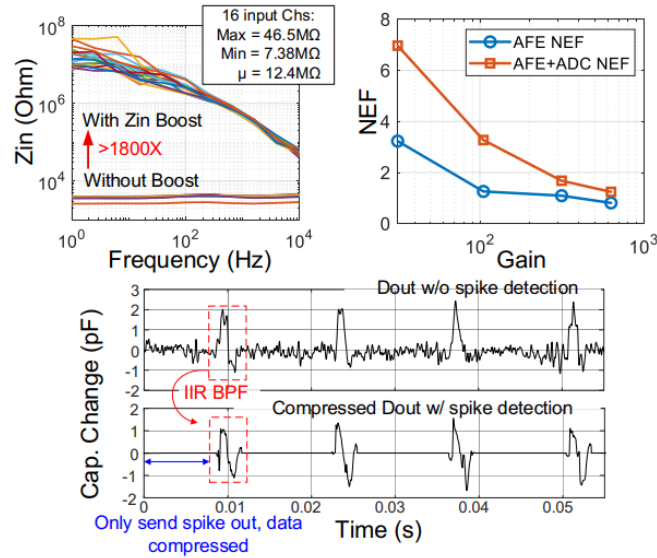
[그림 6] 기존 neural interface의 구조 및 한계점 (a)과 본 논문에서 제안하는 capacitive-sensing 기반의 neural interface (b).

아래 그림 7은 각 row에서 합쳐진 작은 신호를 증폭하기 위한 본 논문의 SPA(Series-Parallel Amplifier)와 input-impedance boosting 기법을 보여준다. SPA는 sampling 구간에서 여러 capacitor를 입력에 병렬로 연결하여 신호를 저장한 뒤, amplification 구간에서 이를 직렬로 재구성하여 약 11배의 voltage gain을 얻는다. 두 개의 SPA가 번갈아 sampling과 amplification을 수행하므로 신호를 연속적으로 처리할 수 있지만, sampling capacitor가 전극에 연결될 때 전극으로부터 charge를 가져가면 입력신호가 감소하고 input impedance가 낮아지는 문제가 발생한다. 이를 방지하기 위해 제안한 회로는 sampling capacitor를 입력과 가까운 전압으로 미리 충전하여, 전극과 연결될 때 이동하는 charge를 최소화한다. 이를 통해 추가적인 amplifier 없이도 전력소모를 줄이면서 작은 neural signal을 충분히 증폭시켜 전극의 신호 감소를 방지할 수 있다.



[그림 7] 본 논문에서 제안하는 SPA의 동작 원리와 auto-calibrated input-impedance boosting 기법.

아래 그림 8은 본 논문에서 제안한 input-impedance boosting의 효과와 on-chip spike detection의 측정 결과를 보여준다. Auto-calibration을 적용한 AFE의 input impedance는 1Hz에서 평균 $12.4\text{M}\Omega$ 으로 측정되어, boosting을 적용하지 않은 경우보다 1,800배 이상 향상되었다. 전력소모 대비 noise 성능을 나타내는 NEF는 AFE 단독의 경우 0.81, ADC를 포함한 전체 readout에서 1.25를 달성하였다. 또한 on-chip spike detector는 연속적으로 발생하는 전체 데이터를 전송하는 대신, neural spike가 검출된 구간의 파형과 발생 시점만 출력하여 외부로 전송되는 데이터의 양을 줄였다. 본 논문의 neural interface는 22nm FDSOI 공정에서 1.76mm^2 의 면적과 0.484mW 의 총 전력소모로 구현되었으며, channel당 $1.89\mu\text{W}$ 의 전력소모와 $4.36\text{nV}/\sqrt{\text{Hz}}$ 의 input-referred noise density를 달성하였다. 마지막으로 $20\mu\text{m}$ -pitch MEA를 이용한 배양 neuron 측정과 $100\mu\text{m}$ -pitch flexible MEA를 이용한 mouse 측정을 통해, 적은 수의 interconnect로 256-channel neural activity를 낮은 noise와 낮은 전력으로 측정할 수 있음을 입증하였다.



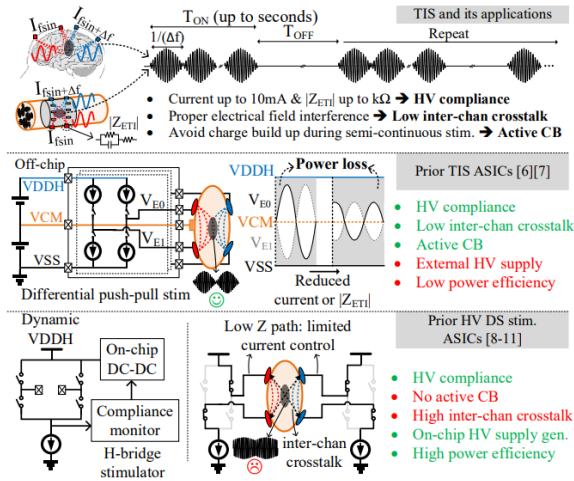
[그림 8] AFE의 Input-impedance 및 NEF 측정 및 on-chip spike detection 측정 결과.

#24-5 본 논문은 기존의 temporal interference stimulation(TIS)에서 고정된 고전압 전원으로 인해 발생하는 전력 손실과, dynamic supply 적용 시 어려워지는 charge balancing 문제를 해결하기 위해 on-chip dynamic supply를 갖는 새로운 TIS 구조를 제안하였다. TIS는 서로 다른 주파수를 갖는 두 쌍의 sinusoidal current를 인체에 인가하고, 두 전류가 중첩되면서 형성되는 저주파에 대한 envelope를 이용하여 원하는 신경 부위를 자극하는 방식이다. 두 stimulation 쌍의 전류 크기 비율을 조절하면 자극이 집중되는 위치도 변경될 수 있으므로, 수술 없이 더 깊은 신경을 선택적으로 자극할 수 있다는 장점이 있다. 그러나 최대 10mA의 전류를 수 kΩ에 이르는 electrode-tissue impedance에 공급해야 하므로 10V 이상의 높은 compliance voltage가 필요하며, stimulation이 수초 동안 지속되는 경우 source와 sink current 사이에 작은 오차가 발생하면 전극과 조직 계면에 charge가 축적되어 source와 sink current에 대해 정확한 charge balancing이 요구된다.

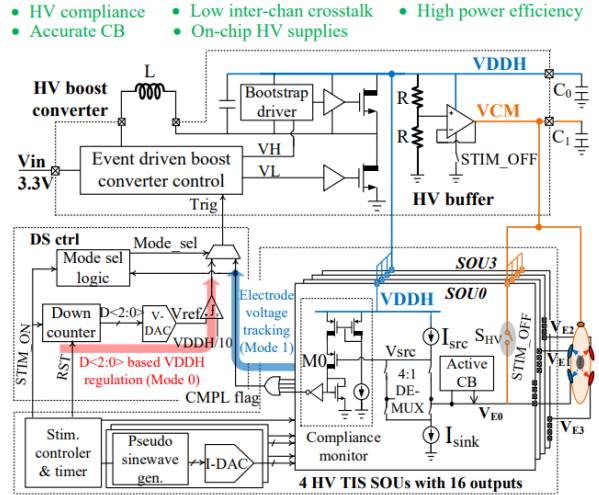
기존 TIS 방식은 아래 그림 9-(a)와 같이 고전압과 안정적인 charge balancing을 확보하기 위해 외부의 고정된 고전압을 사용하였다. 이 구조는 전극전압이 낮은 경우에도 항상 최대 전원전압을 유지하므로, stimulator 내부에 상당한 전력 손실이 발생하는 한계가 있다. 기존 dynamic supply stimulator의 경우는 전극전압에 맞춰 전원전압을 낮출 수 있지만, 주로 biphasic waveform을 생성하는 H-bridge 구조를 사용하기 때문에 여러 채널이 동시에 동작하는 TIS에서는 channel 사이에 cross-talk 문제가 발생할 수 있으며 active charge balancing도 적용하기 어렵다.

본 논문에서는 이러한 기존의 문제점들을 개선하기 위해 그림 9-(b)와 같이 4개의 push-pull SOU(Stimulation Output Unit)를 두 개의 differential pair로 구성하고, 각 SOU를 4개의 전극 중 하나에 연결하여 총 16개의 출력을 선택할 수 있는 TIS 구조를 제안하였다. 내부 고전압 boost converter가 각 SOU에서 요구되는 가장 높은 전압을 기준으로 공

통 고전압 전원 VDDH를 생성한다. 각 SOU에는 active 및 passive charge-balancing 회로가 포함되어 있어, 전원전압을 낮게 유지하면서도 자극전류의 왜곡과 전극과 조직 계면의 charge 축적을 방지하여 기존의 문제를 해결하였다.



[그림 9-(a)]

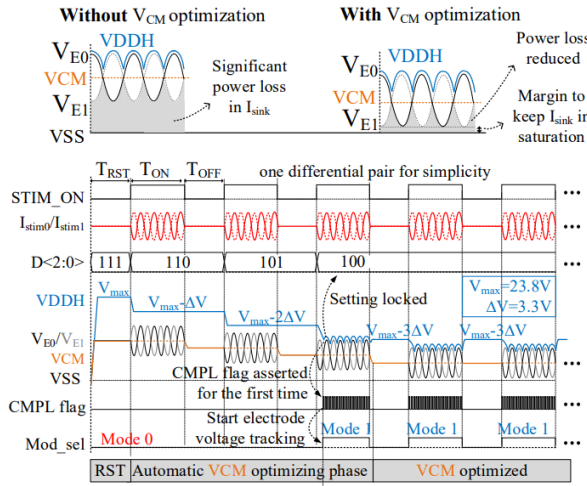


[그림 9-(b)]

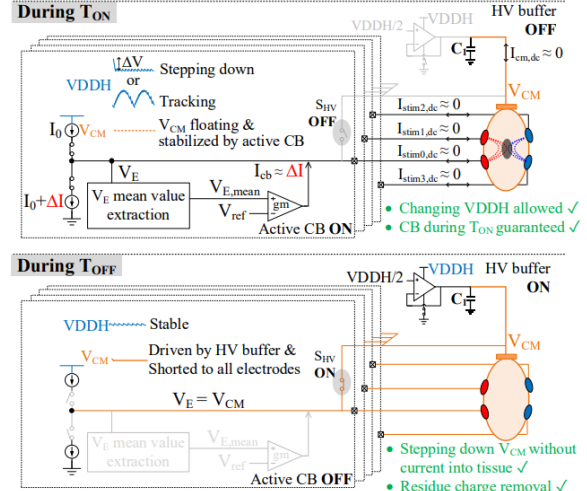
[그림 9] TIS의 동작 원리와 기존 구조의 한계 (a) 및 본 논문에서 제안하는 dynamic-supply TIS ASIC의 구조 (b).

아래 그림 10-(a)는 전력 손실을 최소화하기 위해 본 논문에서 제안하는 common-mode voltage(VCM) 최적화에 대한 과정을 보여준다. VCM이 지나치게 높으면 VDDH가 전극전압을 따라 낮아지더라도 sink 전류원에 큰 전압이 걸려 전력 절감 효과가 제한된다. 따라서 stimulation이 시작되면 mode 0에서 VDDH와 VCM을 최대값으로 설정한 후, 3-bit code를 이용하여 두 전압을 단계적으로 낮춘다. 전극전압이 SOU의 동작 한계에 가까워져 최초의 flag가 발생하면 해당 VCM을 최적 값으로 결정한다. 이후 mode 1에서는 VCM을 유지하면서 VDDH가 4개 SOU 중 가장 높은 전극전압을 필요한 headroom만큼만 여유를 두고 따라가도록 한다.

하지만, VDDH가 계속 변하면 charge-balancing 회로의 기준이 되는 VCM도 흔들릴 수 있다. 이를 방지하기 위해 그림 10-(b)와 같이 stimulation이 인가되는 TON 동안에는 HV buffer와 passive switch를 끄고 VCM을 capacitor에 유지한다. 이때 active charge-balancing loop가 전극전압의 평균값을 감지하여 source와 sink current의 차이를 보상하므로, VCM을 저장하는 capacitor는 거의 일정하게 유지된다. 반대로 TOFF 동안에는 HV buffer와 passive switch를 켜서 모든 전극을 VCM에 연결함으로써 남아 있는 charge를 제거하고, 다음 stimulation에 필요한 VCM으로 갱신한다. 이를 통해 dynamic supply가 동작하는 동안에도 안정적인 VCM과 정확한 charge balancing을 동시에 유지할 수 있다.



[그림 10-(a)]

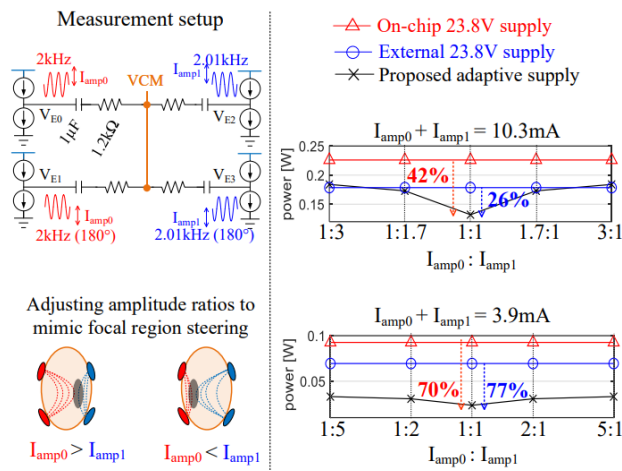


[그림 10-(b)]

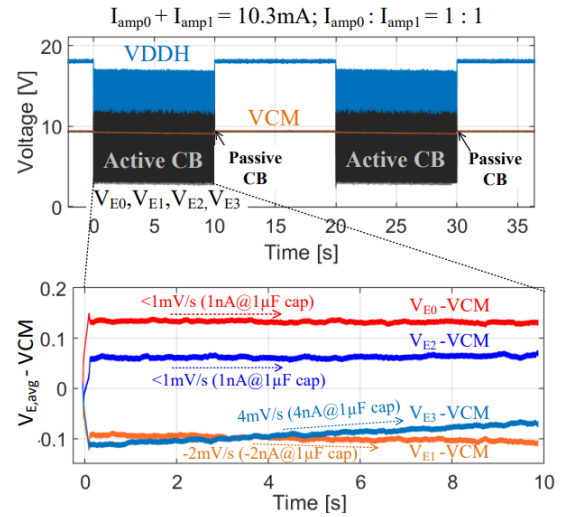
[그림 10] 본 논문의 VCM 및 dynamic-supply 공급 동작에 대한 타이밍 다이어그램 (a) 및 active/passive 방식의 charge-balancing 방법 (b).

아래 그림 11-(a)는 두 stimulation pair를 2kHz와 2.01kHz로 구동한 뒤, 두 전류의 크기 비율을 변경하면서 측정한 TIS 동작 결과를 보여준다. 두 stimulation pair의 전체 전류가 10.3mA일 때는 23.8V의 고정 전원을 사용하는 on-chip supply 대비 최대 42%, 이상적인 외부 고정 전원 대비 최대 26%의 전력을 절감하였다. 전체 전류가 3.9mA로 감소하면 불필요한 voltage headroom이 더욱 커지기 때문에 전력 절감 효과도 증가하여, 각각 최대 77%와 70%의 전력 감소를 보이는 것을 확인할 수 있다.

그림 11-(b)에서는 5mA의 stimulation current에 약 20μArms의 의도적인 source-sink mismatch를 인가할 때, active charge balancing을 통해 잔류 오차를 4nA 이하로 크게 낮추는 것을 확인할 수 있다. 본 논문에서 제안한 TIS는 130nm BCD 공정에서 4×5mm²의 면적으로 구현되었으며, 3.3V 입력에서 최대 21V의 compliance voltage와 SOU당 최대 10.3mA의 stimulation current를 제공한다. Boost converter는 4V 출력에서 최대 93%, 23.8V에서 80%의 효율을 달성하였고, 전체 stimulator의 최대 효율은 57%로 측정되었다. 또한 saline 및 고밀도 nerve-cuff electrode를 이용한 실험을 통해 원하는 TIS electric field를 형성하면서 전력소모를 약 175–176mW에서 72–73mW로 줄일 수 있음을 확인하였다. 이를 통해 본 논문은 TIS용 multi-channel stimulator에 dynamic supply와 정확한 charge balancing을 동시에 적용하여, 높은 stimulation voltage와 안전성을 유지하면서 최대 70%의 전력을 절감할 수 있음을 입증하였다.



[그림 11-(a)]



[그림 11-(b)]

[그림 11] 전류 크기 및 비율에 따른 TIS 동작의 전력소모 측정 (a) 및 dynamic supply 동작 중 charge-balancing 성능 측정 (b).

저자정보



이윤호 박사과정 대학원생

- 소속 : 고려대학교
- 연구분야 : Power management ICs
- 이메일 : uknow@korea.ac.kr
- 홈페이지 : <https://sites.google.com/site/kubasiclab/home>